

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭62-185358

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)8月13日

H 01 L 27/06
29/80
H 03 F 3/195
3/60

7735-5F
Z-8122-5F
6628-5J
6628-5J

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭61-28606

⑯ 出 願 昭61(1986)2月10日

⑰ 発 明 者 江 森 文 章 東京都港区芝5丁目33番1号 日本電気株式会社内
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半絶縁性化合物基板の主表面上に複数の分布型増幅器を縦続接続したマイクロ波モノリシック集積回路からなる半導体装置において、前記各増幅器の段間の特性インピーダンスを前記集積回路の入出力部の特性インピーダンスより低く設定した回路を含むことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特にガリウム砒素あるいはインジウムリン等の半絶縁性化合物基板上に形成されたマイクロ波モノリシック集積回路(以下MMICと記す)に関する。

〔従来の技術〕

半絶縁性化合物基板上に電界効果トランジスタ(以下FETと記す)を有する能動素子とこの能動素子の機能を発揮させる様な受動素子とからなるMMICは、ハイブリッド集積回路に比べて高周波特性に優れ、小型低価格化が可能であり、且つ信頼性も高い事から特に準ミリ、ミリ波領域では必要不可欠な素子となっている。これらの中でも分布型増幅器は、回路構造上MMICに適しており、また化合物半導体の準ミリ波動作の特徴を生かして超広帯域増幅が可能であるところから、多くの分野で実用化を迫られている。

このMMICで構成される分布型増幅器は、複数のFETが化合物基板主表面に並列に配置され、各々のFETには高周波信号の位相速度を等しくする回路が接続されている。

第1図は従来の多段構成の分布型増幅器の一例のブロック図である。この分布型増幅器の多段構成のものは、1段の分布型増幅器1、2を少なくとも2個、同一MMICチップ上に形成し、各々のMMIC間を線路又は段間回路3を介して縦続

接続されていた。この線路又は段間回路3の入力端6の入力インピーダンスは1段の分布型増幅器1の出力端6の出力インピーダンスと同じに、又段間回路3の出力端7の出力インピーダンスは1段の分布型増幅器2の入力端7の入力インピーダンスと同じに設定されていた。

〔発明が解決しようとする問題点〕

上述した従来のMMICによる分布型増幅器は、IC上に形成されたFETのゲート、ソース間容量及びドレイン、ソース間容量が信号線路と並列になり、周波数が高くなるにつれてこれら容量のインピーダンスが低くなり、MMICチップの入出力インピーダンスに近づく為に、高域での利得を制限し、広帯域化の妨げとなる欠点がある。

本発明の目的は、このような欠点を除き、高周波領域での利得を高め、広帯域化を可能とした半導体装置を提供することにある。

〔問題点を解決するための手段〕

本発明の構成は、半導体性化合物基板の主表面上に複数の分布型増幅器を縦続接続したMMIC

としてMMICチップ入出力の特性インピーダンス4、5より低い値、例えば40Ωに設定する。

〔発明の効果〕

以上説明したように、本発明は、多段分布型増幅器のMMICにおいて、段間の特性インピーダンスをMMICチップの入出力の特性インピーダンスより低い値となるよう回路構成する事により、IC上に形成されたFETのゲート、ソース間容量及びドレイン、ソース間容量のインピーダンスが高周波数域で低下し、段間の特性インピーダンスに等しくなる周波数（遮断周波数）を高める事ができるので、高周波数域での利得を高くし、広帯域化するという効果がある。また、段間回路3の特性インピーダンスが低い事は、IC上のストリップライン幅を広くとれるため、線路損失を低減し、電流容量が大きくなるので信頼度向上にも効果を発揮する。

4. 図面の簡単な説明

第1図は、本発明の一実施例および従来例のブ

からなる半導体装置において、前記各増幅器の段間の特性インピーダンスを前記MMICの入出力部の特性インピーダンスより低く設定した回路を含むことを特徴とする。

〔実施例〕

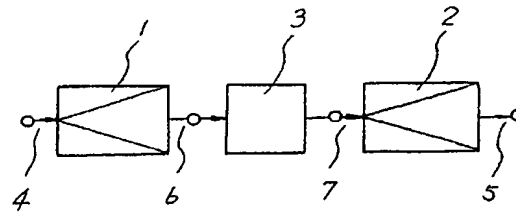
次に本発明を図面により詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。1段の分布型増幅器1、2が線路又は段間回路3を介して縦続接続されている。この場合、前段の分布型増幅器1の入力端4の入力インピーダンスと後段の分布型増幅器2の出力端5の出力インピーダンスは、MMICチップ入出力の特性インピーダンス、例えば50Ωとなっている。また、前段の分布型増幅器1の出力端6の出力インピーダンスと線路又は段間回路3の入力端6の入力インピーダンスを等しくして、MMICチップ入出力の特性インピーダンスより低い値、例えば40Ωに設定し、さらに、線路又は段間回路3の出力端7の出力インピーダンスと後段の分布型増幅器2の入力端7の入力インピーダンスとを等し

ブロック図である。

1……前段の分布型増幅器、2……後段の分布型増幅器、3……段間回路、4……入力端子、5……出力端子、6、7……入出力端子。

代理人 弁理士 内 原 晋



第 1 図